

Modul 2-30: SIGNAL INTEGRITY						ETIT-249
Turnus	Dauer	Studienabschnitt	LP	Präsenzanteil	Eigenstudium	
Jährlich zum SS	1 Semester	2. Semester	5	35 h	115 h	
<b>1</b>	<b>Modulstruktur</b>					
	<b>Nr.</b>	<b>Element / Lehrveranstaltung</b>	<b>LSF-Nr.</b>	<b>Typ</b>	<b>SWS</b>	
	1	Signal Integrity: Effekte beim Einsatz nano-/mikroelektronischer Komponenten auf Leiterplatten Vorlesung	08 0210	V	2	
	2	Signal Integrity: Effekte beim Einsatz nano-/mikroelektronischer Komponenten auf Leiterplatten Übung	08 0211	Ü	1	
<b>2</b>	<b>Lehrveranstaltungsprache:</b> Deutsch					
<b>3</b>	<b>Lehrinhalte</b>					
	<ol style="list-style-type: none"> <li>1. SI-Effekte beim Einsatz von nano-/mikroelektronischen Komponenten auf Leiterplatten (Einführung)</li> <li>2. Problemstellung SI-EDA im Leiterplattenentwurf</li> <li>3. Grundlagen zur SI-Analyse</li> <li>4. Bauelementtechnologie und SI-Effekte (nano-/mikroelektronischen Komponenten)</li> <li>5. HighSpeed-Verhalten von digitalen Bauelementen</li> <li>6. Leitungen auf Leiterplatten und HighSpeed-Verhalten von digitalen Bauelementen</li> <li>7. Reflexion/Crosstalk und Leitungsabschlüsse (Einflüsse der geometrischen und elektrischen Parameter auf den Spannungsverlauf)</li> <li>8. Leitungsnetze auf Printed Circuit Boards</li> <li>9. Modelle für digitale Bauelemente.</li> </ol>					
	<b>Literatur</b>					
	M. Swaminathan, E. Engin: Power Integrity Modeling and Design for Semiconductors and Systems, Prentice Hall B. Bhat, S. Koul: Stripline-Like Transmission Lines for Microwave Integrated Circuits, John Wiley & Sons H. Müller: Hochtechnologie-Multilayer; Leuze Verlag C. Walker: Capacitance, Inductance and Crosstalk Analysis, Artech House H. Johnson, M. Graham: High-Speed Digital Design, Prentice Hall B. Young: Digital Signal Integrity, Prentice Hall B. Wadell: Transmission Line Design Handbook, Artech House					
<b>4</b>	<b>Kompetenzen</b>					
	Nach erfolgreichem Abschluss des Moduls kennen die Studierenden die wesentlichen Methoden zur Behandlung von Signal-Integrity-Problemen beim Einsatz von nano-/mikroelektronischen Komponenten auf Leiterplatten. Sie sind mit dem SI-gerechten Entwurf von High-Speed-Leiterplatten als Bestandteil der Entwicklungsphasen Logikentwurf, Platzierung und Entwurfsvalidierung (Simulation/Messtechnik) vertraut und können auftretende SI-Fragestellungen charakterisieren, Entwurfsvarianten beurteilen sowie Optimierungsansätze formulieren.					

5	<b>Prüfungen</b> <i>Modulprüfung:</i> mündliche Prüfung (max. 40 Minuten) oder Klausur (max. 180 Minuten) * <i>Studienleistungen:</i> keine *Die genauen Prüfungsmodalitäten werden spätestens zur 2. Veranstaltung bekannt gegeben.	
6	<b>Prüfungsformen und –leistungen</b> <input checked="" type="checkbox"/> Modulprüfung <input type="checkbox"/> Teilleistungen	
7	<b>Teilnahmevoraussetzungen</b> Notwendige Kenntnisse: Grundlagen E-Technik – Grundlagen elektrische Messtechnik - Grundlagen Mikroelektronik/Schaltungstechnik	
8	<b>Modultyp und Verwendbarkeit des Moduls</b> Wahlpflichtmodul im Masterstudiengang Elektrotechnik und Informationstechnik, Studienschwerpunkt „Mikrosystemtechnik und Mikroelektronik“	
9	<b>Modulbeauftragte/r</b> Prof. Dr.-Ing. Stephan Frei <b>Lehrbeauftragte/r</b> Dr.-Ing. Werner John	<b>Zuständige Fakultät</b> Fakultät für Elektrotechnik und Informationstechnik